

明細書

半導体装置およびその製造方法

[技術分野]

本発明は、メモリトランジスタを含む半導体装置およびその製造方法に関する。

[背景技術]

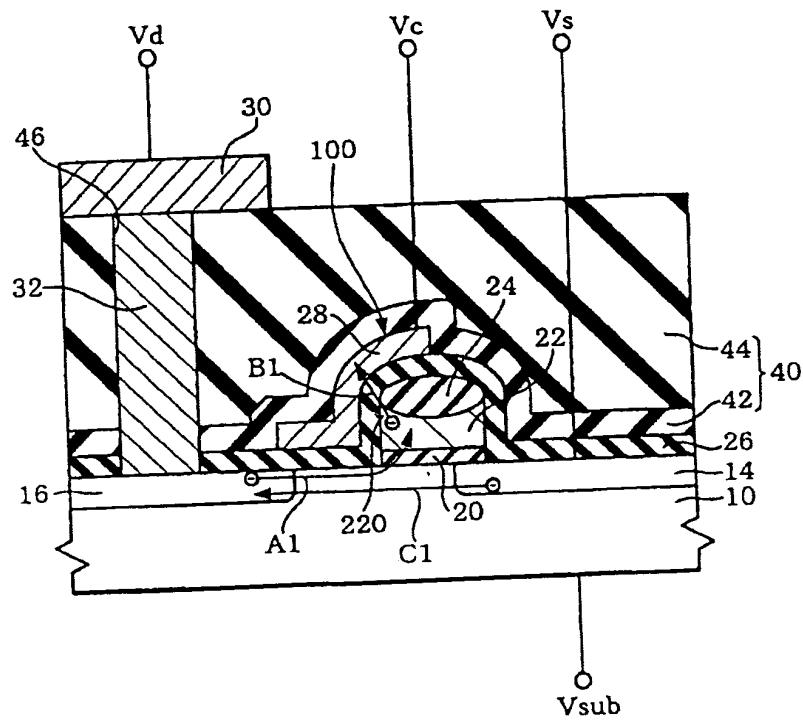
電気的に消去可能なプログラマブルROM (EEPROM) に適用されるデバイスとして、スプリットゲート型の不揮発性メモリトランジスタおよびスタックト型の不揮発性メモリトランジスタが知られている。以下、スプリットゲート型の不揮発性メモリトランジスタを含む半導体装置の一例を説明する。図18は、スプリットゲート型の不揮発性メモリトランジスタを含む半導体装置の従来の一例を模式的に示す断面図である。

スプリット型の不揮発性メモリトランジスタ300は、N型トランジスタを例にとると、図18に示すように、P型のシリコン基板10内に形成されたN⁺型不純物拡散層からなるソース領域14およびドレイン領域16と、シリコン基板10の表面に形成されたゲート絶縁層としての第1の絶縁層70とを有する。この第1の絶縁層70上には、フローティングゲート72と、第2の絶縁層76と、コントロールゲート78とが順次形成されている。

フローティングゲート72の上には、第3の絶縁層74が形成されている。この第3の絶縁層74は、フローティングゲート72となるポリシリコン層の一部を選択酸化することによって形成された絶縁層から構成される。つまり、第3の絶縁層74は、図18に示すように、中央から両端部へ向けてその膜厚が薄くなる構造を有する。その結果、フローティングゲート72の両端の上縁部720は鋭角に形成され、これらの上縁部720で電界集中が起きやすくなっている。シリコン基板10の上には、層間絶縁層240が形成されている。層間絶縁層240は、一般的に、酸化シリコン層のみから構成される。層間絶縁層240の所定の領域において、スルーホール246が形成されている。スルーホール2

【書類名】 図面

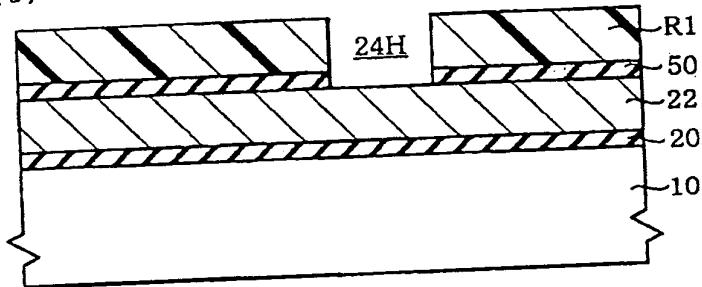
【図1】



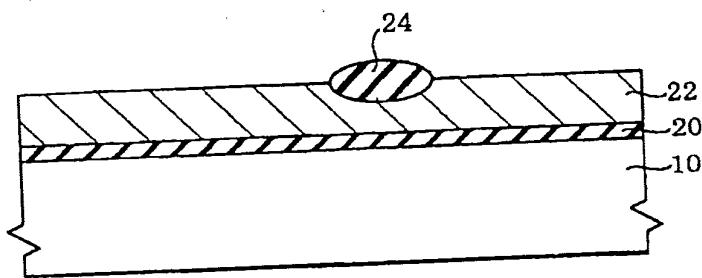
2/12

【図2】

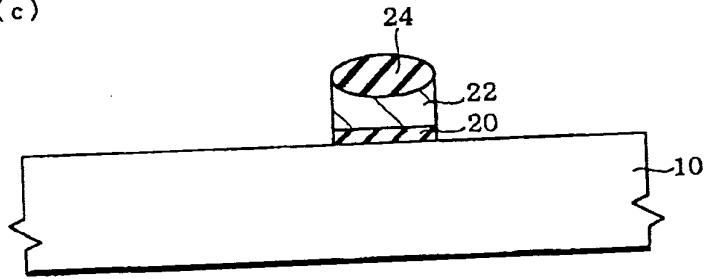
(a)



(b)



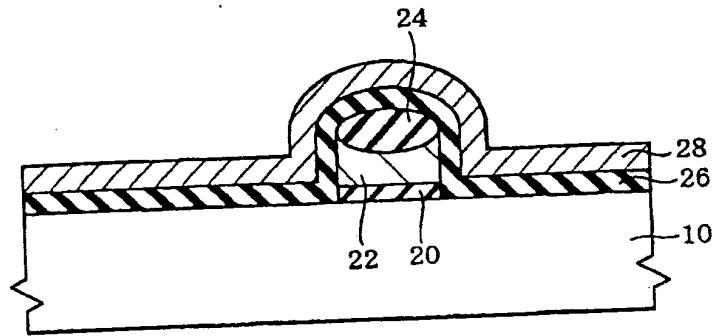
(c)



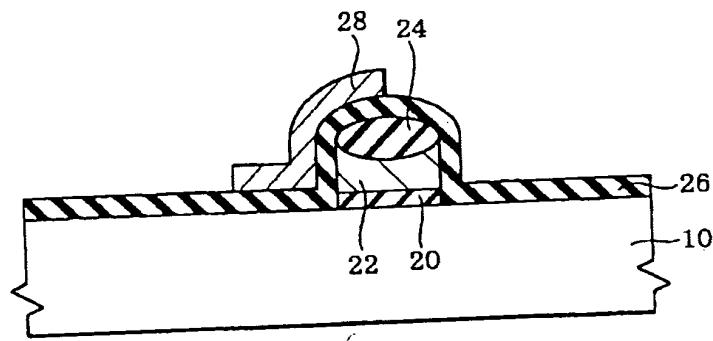
3/12

【図3】

(a)



(b)

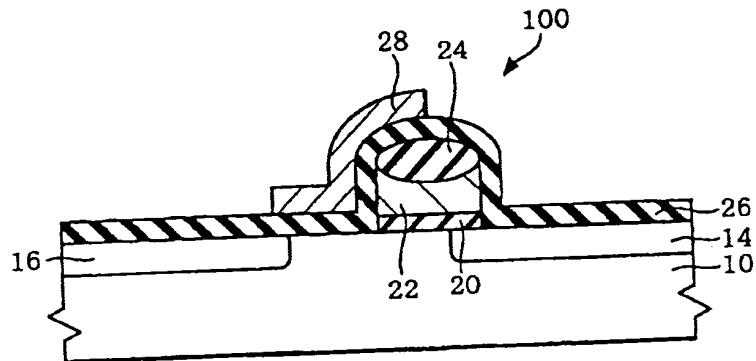


1000726559,0203702

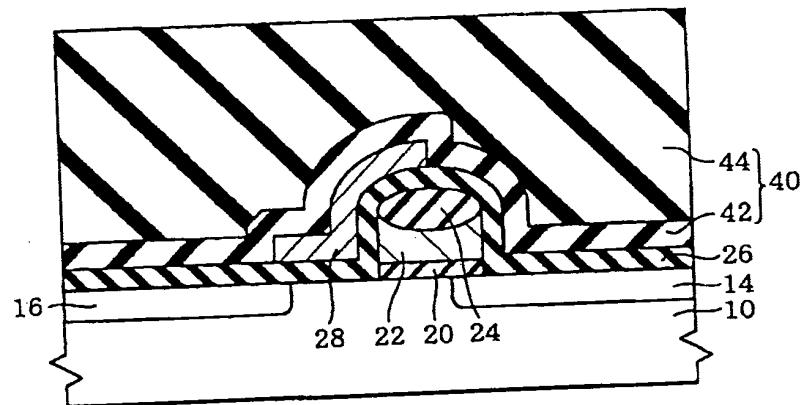
4/12

【図4】

(a)



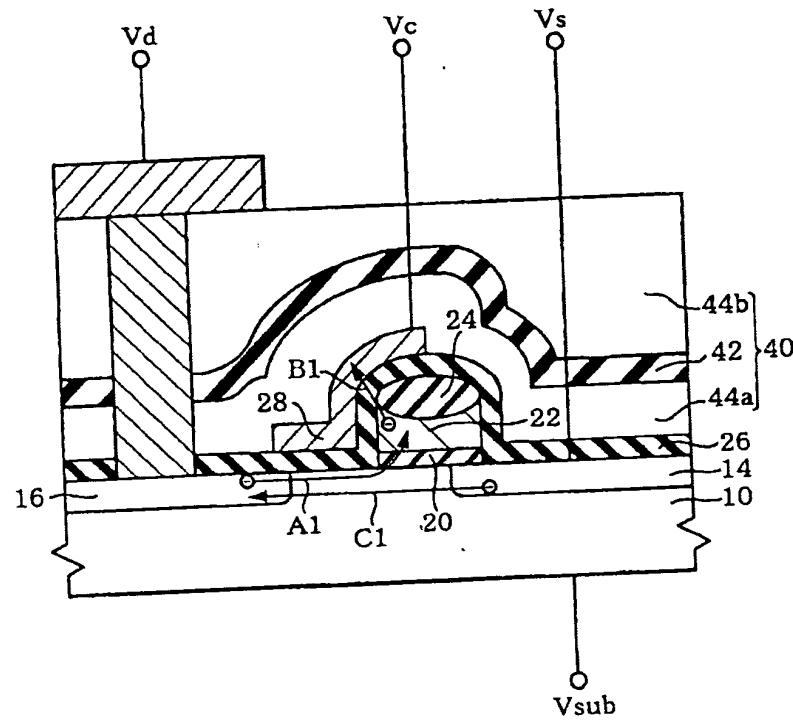
(b)



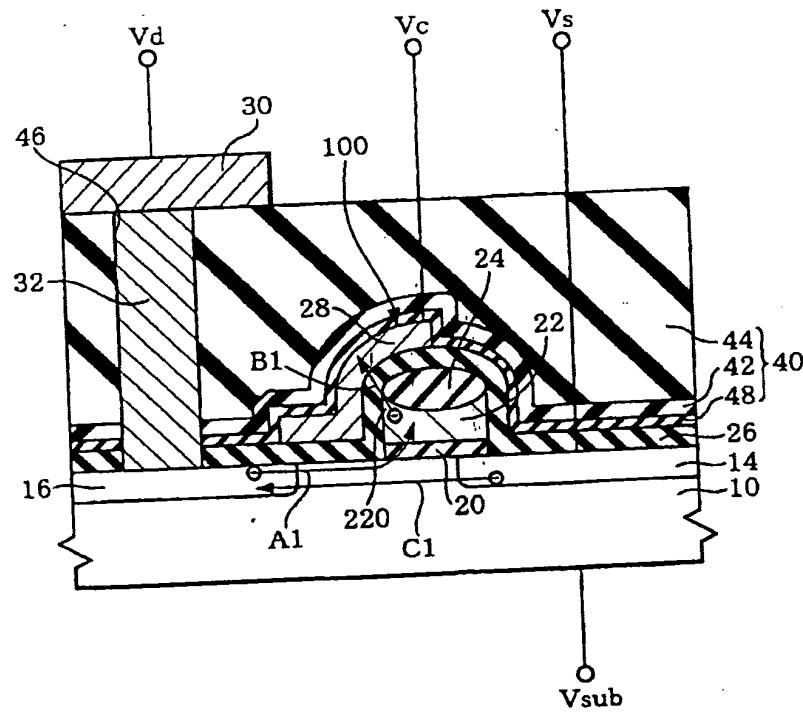
1000226666 0002700

5/12

【図5】

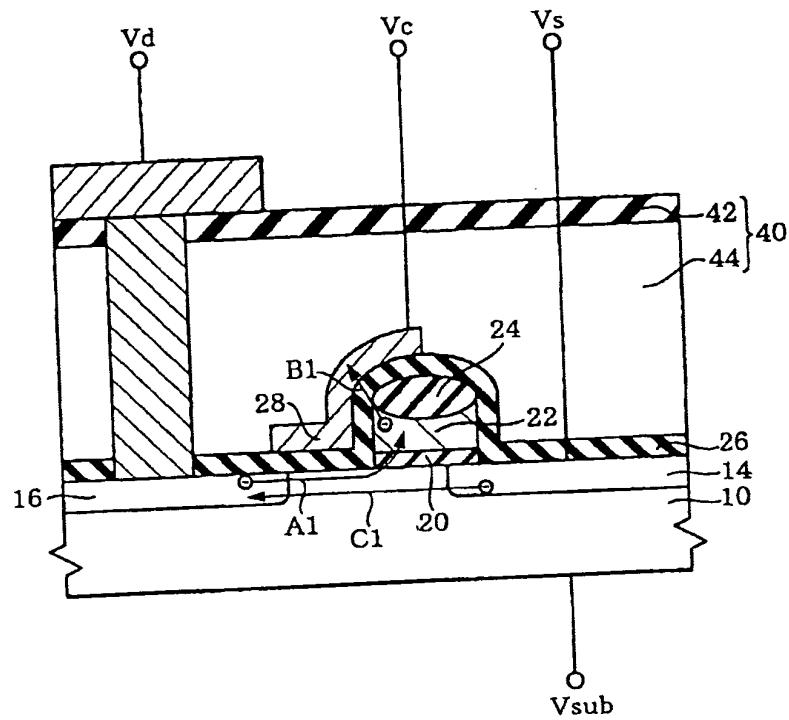


【図6】

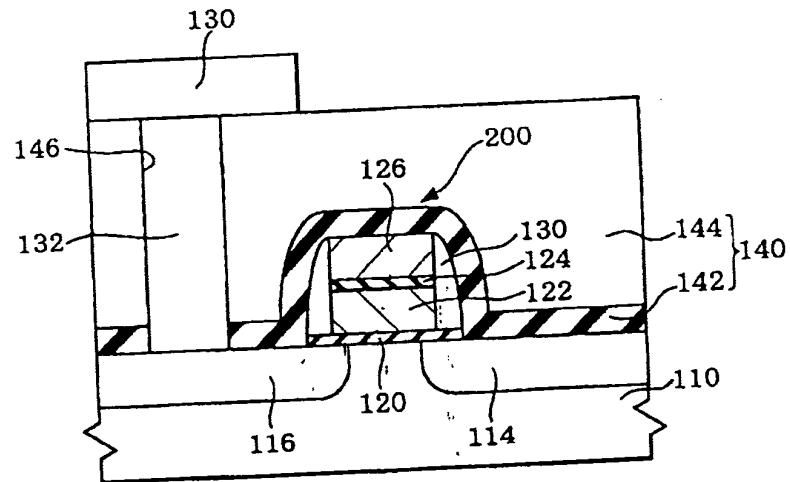


6/12

【図7】



【図8】

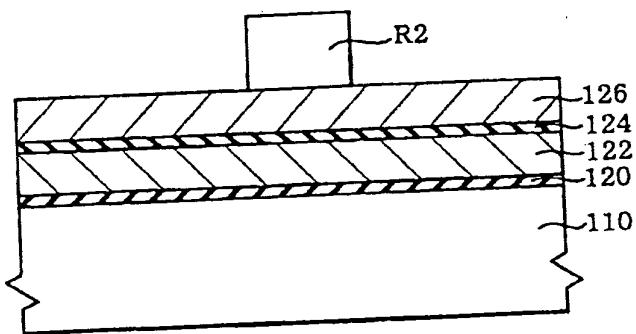


100023663656 00002700

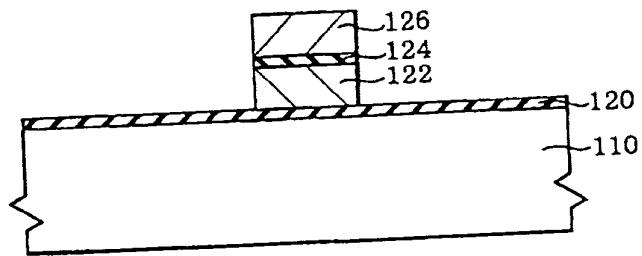
7/12

【図9】

(a)



(b)

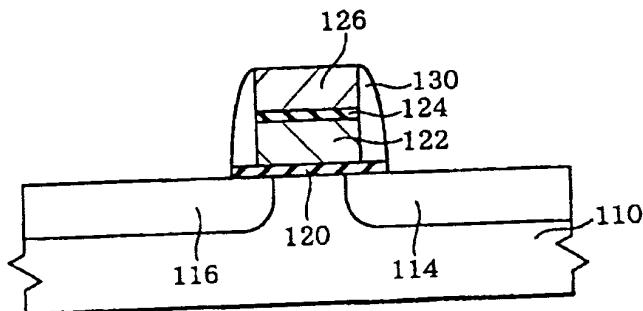


1002658-020702

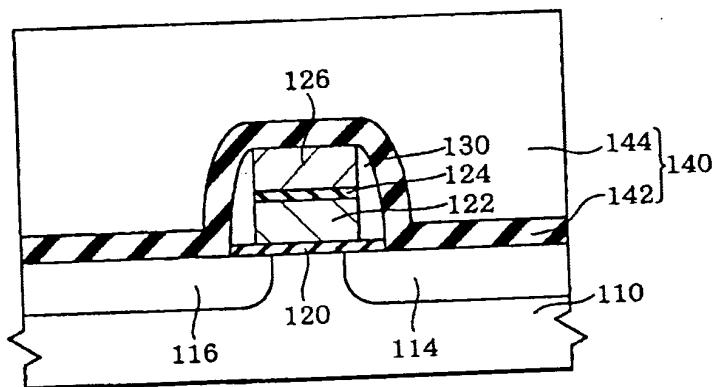
8/12

【図10】

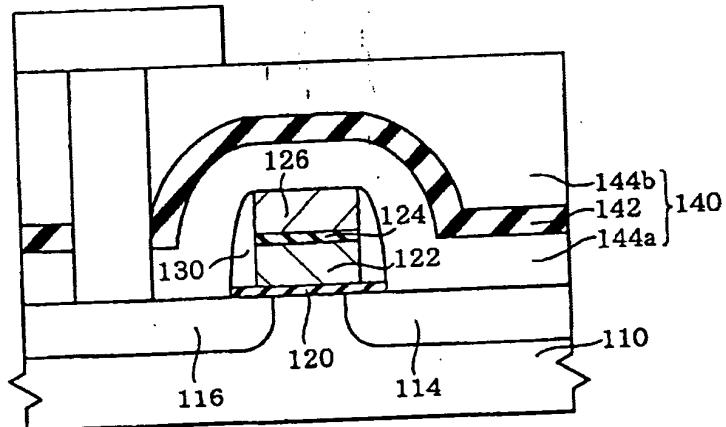
(a)



(b)

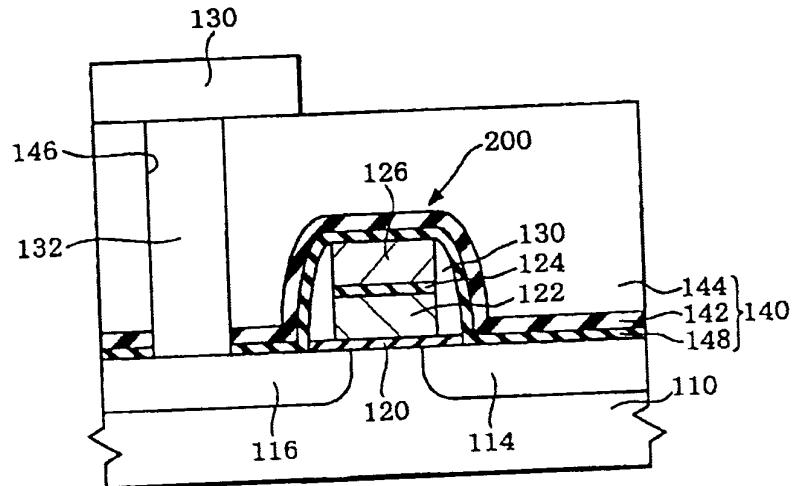


【図11】

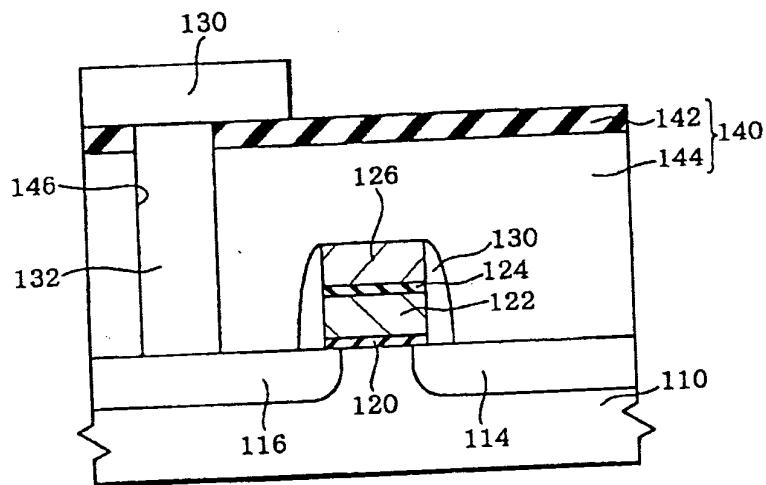


9/12

【図12】



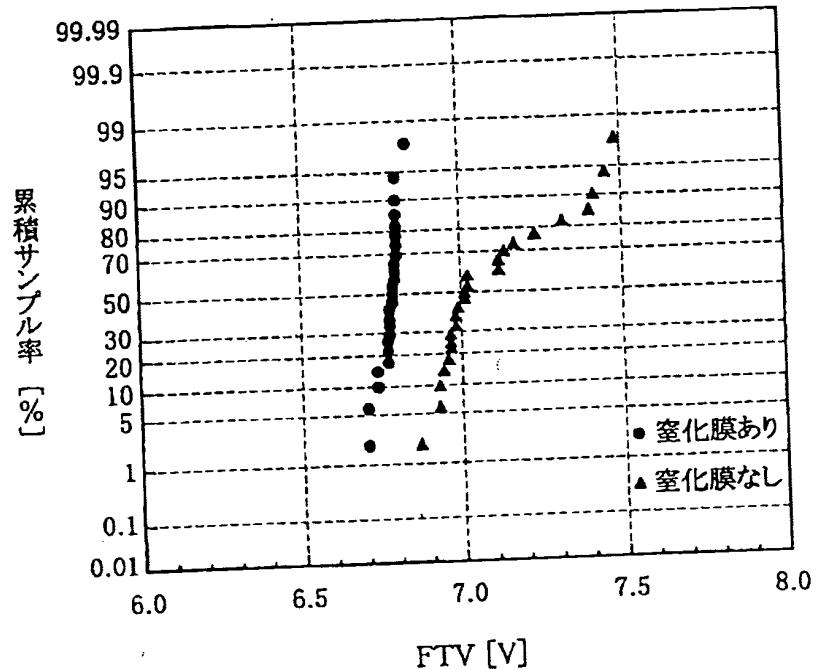
【図13】



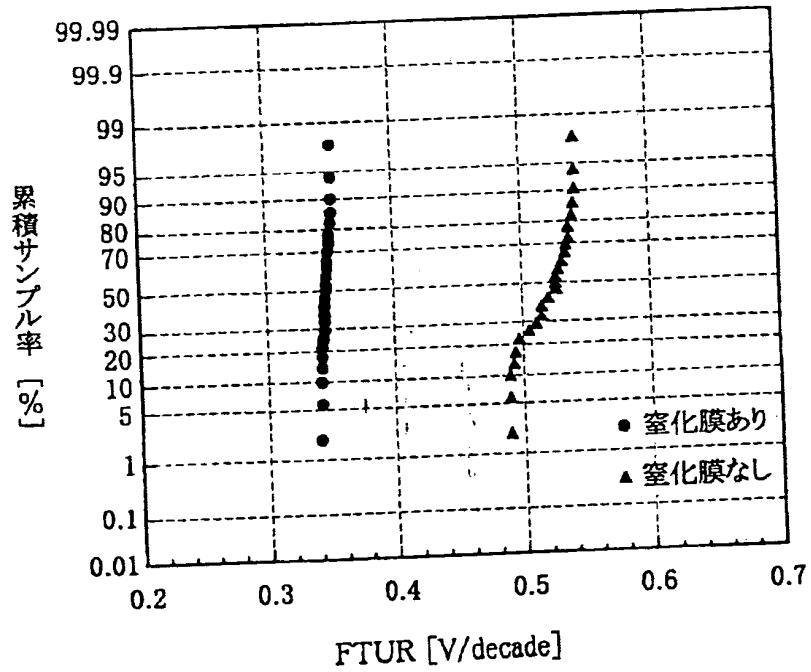
10072656-20070202

10/12

【図14】

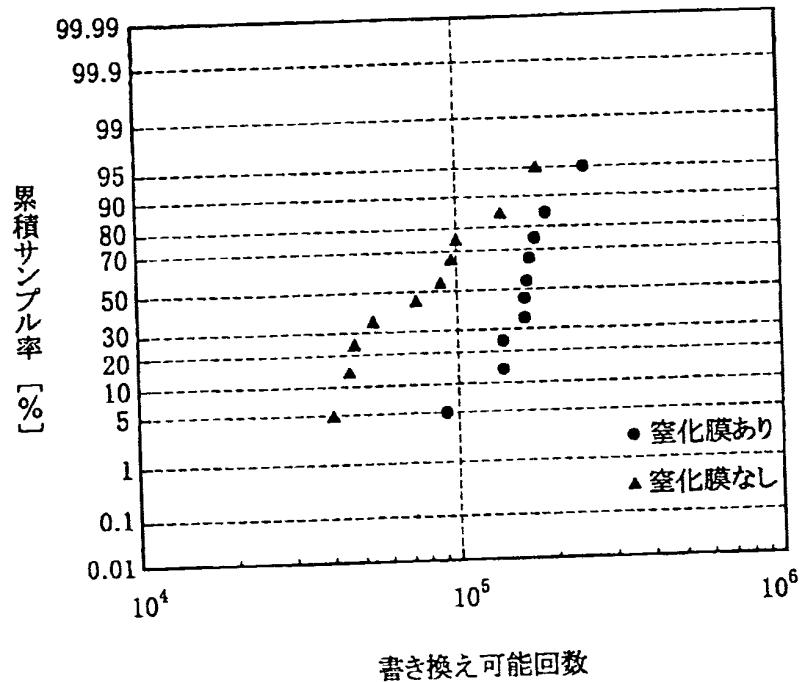


【図15】

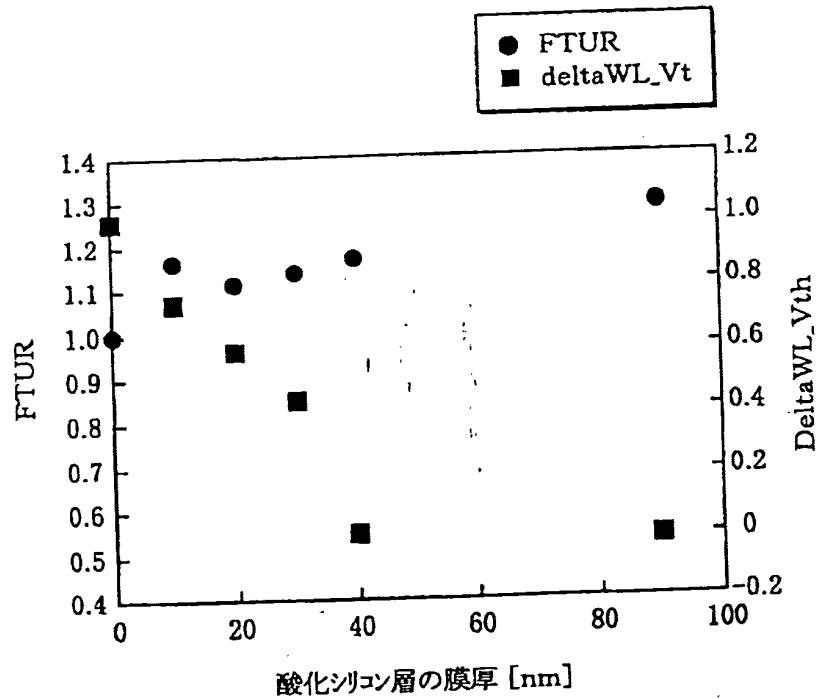


11/12

【図16】

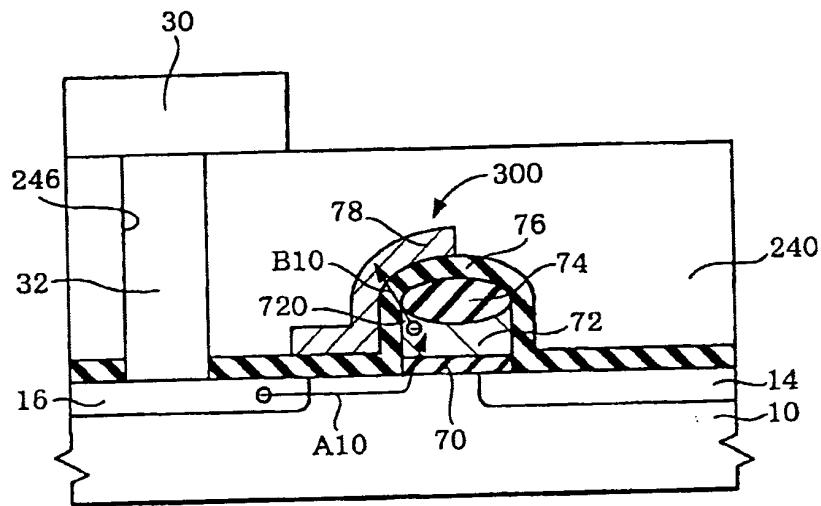


【図17】



12/12

【図18】



1002656 020302

46内には、導電材が充填されて、コンタクト層32が形成されている。層間絶縁層240の上には、コンタクト層32と電気的に接続された配線層30が形成されている。

このスプリットゲート構造のメモリトランジスタ300を動作させる場合には、たとえば、データの書き込み時には、ソース領域14とドレイン領域16間にチャネル電流を流し、矢印A10で示すように、電荷（ホットエレクトロン）をフローティングゲート72に注入する。また、データの消去時には、所定の高電圧をコントロールゲート78に印加し、ファウラー・ノルドハイムトンネル伝導（FN伝導）によって、フローティングゲート72に蓄積された電荷を、矢印B10で示すように、第2の絶縁層76を介してコントロールゲート78に移動させる。

本発明の目的は、不揮発性メモリトランジスタの特性安定性が向上された、不揮発性メモリトランジスタを有する半導体装置およびその製造方法を提供することにある。

〔発明の開示〕

本発明の1具体例に係る半導体装置は、不揮発性メモリトランジスタを有し、前記不揮発性メモリトランジスタが形成された半導体層の上に、層間絶縁層が設けられ、前記層間絶縁層は、前記不揮発性メモリトランジスタと、前記半導体層の上方に形成された導電層とを電気的に分離するための絶縁層であり、前記層間絶縁層は、窒化物を含む層を含む。

本発明の1具体例に係る半導体装置は、層間絶縁層は、窒化物を含む層を含む。このため、層間絶縁層を形成した後における、種々の工程において発生するプロセス・インデュースド・チャージから、不揮発性メモリトランジスタを保護することができる。その結果、たとえば、不揮発性メモリトランジスタのFTV(Forward Tunnel Voltage)、FTUR(Forward Trap Up Rate)および書換え可能な回数(Endurance)の特性を向上させることができる。

本発明の具体例に係る半導体装置において、好ましくは、前記窒化物を含む層は、次の態様 1) および 2) のうち、少なくともいずれかの態様をとることができる。

1) 窒化物を含む層は、前記層間絶縁層の最下層として設けられている態様、前記層間絶縁層の最上層として設けられている態様、または、前記層間絶縁層の中間層として設けられている態様をとることができる。

2) 前記窒化物は、窒化シリコンおよび酸化窒化シリコンの少なくとも一方であることができる。

本発明の具体例に係る半導体装置において、さらに好ましくは、前記不揮発性メモリトランジスタは、次の態様 1) および 2) のうち、いずれかの態様をとることができる。

1) 前記不揮発性メモリトランジスタは、前記半導体層上に、ゲート絶縁層を介して配置されたフローティングゲートと、前記フローティングゲートの少なくとも一部と接触するトンネル絶縁層と、前記トンネル絶縁層の上に形成されたコントロールゲートと、前記半導体層内に形成されたソース領域およびドレイン領域とを含む態様。

2) 前記不揮発性メモリトランジスタは、前記半導体層の上に、ゲート絶縁層を介して配置されたフローティングゲートと、前記フローティングゲートの上に中間絶縁層を介して配置されたコントロールゲートと、前記半導体層内に形成されたソース領域およびドレイン領域とを含む態様。

本発明の他の具体例に係る半導体装置は、半導体層に形成された不揮発性メモリトランジスタを有する半導体装置であって、前記半導体層および前記不揮発性メモリトランジスタの上に設けられた層間絶縁層を有し、前記層間絶縁層は、前記層間絶縁層の最下層として設けられた酸化膜と、前記酸化膜上に設けられた窒化物を含む層と、を含む。

本発明の具体例において、好ましくは、前記酸化膜の厚さは、10~80 nm とすることができる。さらに、前記酸化膜の厚さが 30~70 nm の範囲にあることにより、後述する理由で、書き換え可能回数上必要な特性を確保するとともに、ことにより、後述する理由で、書き換え可能回数上必要な特性を確保するとともに、

20026668-000328

コントロールゲートの閾値電圧の変化量を抑えてメモリ特性を安定化させることができる。

本発明の具体例において、さらに好ましくは、前記酸化膜は、TEOSを用いた減圧CVD法によって形成された酸化膜とすることができる。

本発明の具体例に係る半導体装置の製造方法は、以下の工程を有する。

- (a) 半導体層において、不揮発性メモリトランジスタを形成する工程、
- (b) 前記不揮発性メモリトランジスタが形成された半導体層の上に、層間絶縁層を形成する工程であって、

前記層間絶縁層は、前記半導体層の上方に形成される配線層と、該不揮発性メモリトランジスタとを電気的に分離するための絶縁層であり、前記層間絶縁層は窒化物を含む層を含む。

本発明の具体例に係る半導体装置の製造方法において、窒化物を含む層および不揮発性メモリトランジスタは、本発明の具体例に係る半導体装置と同様の態様をとることができる。

ここで、上記の「半導体層」には、半導体基板および基板の上に形成された半導体層を含む。

〔図面の簡単な説明〕

図1は、第1の実施の形態に係る半導体装置を模式的に示す断面図である。

図2は、第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図

である。

図3は、第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図

である。

図4は、第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図

である。

図5は、第1の実施の形態に係る半導体装置の変形例を示す。

図6は、第1の実施の形態に係る半導体装置の変形例を示す。

図7は、第1の実施の形態に係る半導体装置の変形例を示す。

図8は、第2の実施の形態に係る半導体装置を模式的に示す断面図である。

図9は、第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

図10は、第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

図11は、第2の実施の形態に係る半導体装置の変形例を示す。

図12は、第2の実施の形態に係る半導体装置の変形例を示す。

図13は、第2の実施の形態に係る半導体装置の変形例を示す。

図14は、FTVと、累積サンプル率との関係を示すグラフである。

図15は、FTURと、累積サンプル率との関係を示すグラフである。

図16は、書換え可能回数と、累積サンプル率との関係を示すグラフである。

図17は、酸化シリコン層とFTURとの関係、および、酸化シリコン層と

Delta WL-Vthとの関係を示す図である。

図18は、従来例に係る半導体装置を模式的に示す断面図である。

[発明を実施するための最良の形態]

以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

(第1の実施の形態)

以下、第1の実施の形態に係る半導体装置について説明する。図1は、第1の実施の形態に係る半導体装置を模式的に示す断面図である。

半導体装置は、スプリットゲート構造を有する不揮発性メモリトランジスタ(以下「メモリトランジスタ」という)100を含む。メモリトランジスタ100は、ソース領域14と、ドレイン領域16と、ゲート絶縁層20とを有する。ソース領域14およびドレイン領域16は、n型トランジスタを例にとると、P型のシリコン基板10内に形成されたn'型不純物拡散層からなる。ゲート絶縁層20は、シリコン基板10の表面に形成されている。

ゲート絶縁層20の上には、フローティングゲート22と、トンネル絶縁層26と、コントロールゲート28とが順次形成されている。

フローティングゲート22の上には、上部絶縁層24が形成されている。上部絶縁層24は、図1に示すように、中央部から端部へ向けてその膜厚が薄くなる

2020年6月26日 10:00

構造を有する。その結果、フローティングゲート 22 の上縁部 220 の両端は、鋭角に形成され、この上縁部 220 で電界集中が起きやすいようになっている。トンネル絶縁層 26 は、上部絶縁層 24、フローティングゲート 22 およびシリコン基板 10 を覆うようにして形成されている。

このトンネル絶縁層 26 の上面には、コントロールゲート 28 が形成されている。コントロールゲート 28 の上には、必要に応じて、シリサイド層（図示せず）を形成してもよい。シリサイド層の材質としては、たとえば、タンゲステン、シリサイド、モリブデンシリサイド、チタンシリサイド、コバルトシリサイドを挙げることができる。

さらに、メモリトランジスタ 100 が形成されたウェハの上には、層間絶縁層 40 が形成されている。層間絶縁層 40 の最下層において、窒化物を含む層 42 が設けられている。窒化物を含む層 42 の上には、層間絶縁層 40 の一部を構成する酸化シリコン層 44 が形成されている。窒化物としては、窒化シリコン、窒化酸化シリコンを挙げることができる。窒化物を含む層 42 の厚さは、たとえば 50~100 nm、好ましくは 50~70 nm である。

この層間絶縁層 40 には、たとえば、ドレイン領域 16 に到達するコンタクトホール 46 が形成されている。コンタクトホール 46 内には、コンタクト層 32 が形成されている。コンタクト層 32 は、たとえばタンゲステンプラグからなる。さらに、コンタクト層 32 および層間絶縁層 40 の上には所定パターンの配線層 30 が形成されている。

次に、本発明の半導体装置を構成するメモリトランジスタ 100 の動作方法の一例について、図 1 を参照して説明する。

図 1において、 V_c はコントロールゲート 28 に印加される電圧を示し、 V_s はソース領域 14 に印加される電圧を示し、 V_d はドレイン領域 16 に印加される電圧を示し、 V_{sub} は P 型のシリコン基板 10 に印加される電圧を示す。

このスプリットゲート構造のメモリトランジスタ 100 を動作させる場合には、データの書き込み時には、ソース領域 14 とドレイン領域 16 間にチャネル電流を流し、電荷（ホットエレクトロン）をフローティングゲート 22 に注入する。データの消去時には、所定の高電圧をコントロールゲート 28 に印加し、 F_N 伝

2007/2008.03.20 2007/02

導によってフローティングゲート 22 に蓄積された電荷をコントロールゲート 28 に移動させる。以下に、各動作の一例について述べる。

まず、書き込み動作について述べる。なお、矢印 A1 は、書き込み時の電子の流れを示す。

データの書き込み動作においては、ドレイン領域 16 に対してソース領域 14 を高電位にし、必要に応じてコントロールゲート 28 に所定電位を印加する。これにより、ドレイン領域 16 付近で発生するホットエレクトロンは、フローティングゲート 22 に向かって加速され、ゲート絶縁層 20 を介してフローティングゲート 22 に注入され、データの書き込みがなされる。

この書き込み動作では、例えば、コントロールゲート 28 の電位 (V_c) を 2 V、ソース領域 14 の電位 (V_s) を 10.5 V、ドレイン領域 16 の電位 (V_d) を 0.8 V とする。また、シリコン基板 10 の電位 (V_{sub}) を 0 V とする。

次に、消去動作について説明する。なお、矢印 B1 は、消去時の電子の流れを示す。

消去動作においては、ソース領域 14 およびドレイン領域 16 の電位に対してコントロールゲート 28 の電位を高くする。これにより、フローティングゲート 22 内に蓄積された電荷は、フローティングゲート 22 の先鋒な上縁部 220 から FN 伝導によってトンネル絶縁層 26 を突き抜けてコントロールゲート 28 に放出されて、データが消去される。

この消去動作では、例えば、コントロールゲート 28 の電位 (V_c) を 11.5 V とし、ソース領域 14 およびドレイン領域 16 の電位 V_s および V_d を 0 V とし、シリコン基板 10 の電位 (V_{sub}) を 0 V とする。

次に読み出し動作について説明する。なお、矢印 C1 は、読み出し時の電子の流れを示す。

読み出し動作においては、ソース領域 14 に対してドレイン領域 16 を高電位とし、コントロールゲート 28 に所定の電圧を印加することにより、チャネルの形成の有無によって書き込まれたデータの判定がなされる。すなわち、フローティングゲート 22 に電荷が注入されていると、フローティングゲート 22 の電位

1000266588-02072020

が低くなるため、チャネルが形成されず、ドレイン電流が流れない。逆に、フローティングゲート 22 に電荷が注入されていないと、フローティングゲート 22 の電位が高くなるため、チャネルが形成されてドレイン電流が流れる。そこで、ドレイン領域 16 から流れる電流をセンスアンプによって検出することにより、メモリトランジスタ 100 のデータを読み出すことができる。

読み出し動作においては、例えば、コントロールゲート 28 の電位 (V_c) は 3.0 V とし、ソース領域 14 の電位 (V_s) を 0 V とし、ドレイン領域 16 の電位 (V_d) を 1 V とし、シリコン基板 10 (V_{sub}) を 0 V とする。

以下、本実施の形態に係る半導体装置の作用効果を説明する。

本実施の形態においては、層間絶縁層 40 は、窒化物を含む層 42 を含む。このため、層間絶縁層 40 を形成した後における、種々の工程において発生するプロセス・インデュースド・チャージから、メモリトランジスタ 100 を保護することができる。また、トンネル絶縁層 26 を劣化する水素などの分子やイオンから、トンネル絶縁層 26 を保護することができる。その結果、メモリトランジスタ 100 の FT_V、FT_{UR}、書換え可能回数の特性を向上させることができる。

実施の形態に係る半導体装置の製造方法を説明する。図 2～図 4 は、実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

(A) まず、図 2 (a) に示すように、シリコン基板 10 の表面に、熱酸化法により、酸化シリコン層 (ゲート絶縁層) 20 を形成する。酸化シリコン層 20 の厚さは、特に限定されないが、ゲート耐圧、データ保持特性などを考慮して好ましくは $7\sim9\text{ nm}$ である。

次に、酸化シリコン層 20 の表面に、ポリシリコン層 22 を形成し、これにリンやひ素を拡散して n 型のポリシリコン層 22 を形成する。ポリシリコン層 22 の形成方法は、特に限定されず、たとえば、CVD 法である。ポリシリコン層 22 の厚さは、たとえば $50\sim300\text{ nm}$ であり、好ましくは $100\sim200\text{ nm}$ である。

ポリシリコン層 22 を n 型にする他の方法としては、ポリシリコン層 22 を形成した後、リンやひ素をイオン注入する方法、ポリシリコン層 22 を形成した後、塩化ホスホリル (POCl_3) を含んだキャリアガスを導入する方法、あるいは

2007/06/28 10:20:02

ポリシリコン層22を形成する時に、ホスフィン(PH_3)を含んだキャリアガスを導入する方法、などがある

次に、ポリシリコン層22の表面に、例えばCVD法で窒化シリコン層50を形成する。次いで、リソグラフィ技術を利用して、窒化シリコン層50の所定領域を選択的にエッチングして除去する。窒化シリコン層50の除去される領域24Hは、メモリトランジスタ100の上部絶縁層24が形成される領域である。

(B) 次いで、図2(b)に示すように、ポリシリコン層22の露出部分を選択的に酸化することにより、ポリシリコン層22の所定領域の表面に上部絶縁層24を形成する。選択酸化によって形成された上部絶縁層24は、中央部の膜厚24を形成する。選択酸化によって形成された上部絶縁層24は、中央部の膜厚24を形成する。その後、窒化シリコン層50を除去する。

(C) 次に、図2(c)に示すように、上部絶縁層24をマスクとしてポリシリコン層22を選択的にエッチングする。さらに、シリコン基板10上の酸化シリコン層20を除去する。

(D) 次に、図3(a)に示すように、全面に、酸化シリコン層(トンネル絶縁層)26を堆積する。酸化シリコン層26の厚さは、たとえば20~25nmである。酸化シリコン層26の形成方法は、特に限定されず、たとえば熱酸化法、CVD法をあげることができる。好ましいCVD法は、高温熱CVD法(たとえばシランベースの高温熱CVD法)である。高温熱CVD法により酸化シリコン層26を形成すると、酸化シリコン層26の膜質が緻密になるという利点がある。

また、酸化シリコン層26は、複数の層が積層されて構成されていてもよい。具体的には、酸化シリコン層26は、熱酸化法により得られた第1の酸化シリコン層と、CVD法により得られた第2の酸化シリコン層との積層構造を有している。そして、酸化シリコン層26は、熱酸化法により得られた第1のシリコン酸化膜と、高温熱CVD法により得られた第2のシリコン酸化膜と、熱酸化法により得られた第3のシリコン酸化膜の3層構造を有することが好ましい。フローティングゲート22及びコントロールゲート28とそれぞれ接する第1及び第3のシリコン酸化膜を熱酸化法で形成すると、フローティングゲート22およびコントロールゲート28の界面準位が安定し、消去動作特性が安定するという

100-2656-0201202

利点がある。また、第1および第3のシリコン酸化膜の間に熱CVD法により得られた酸化膜を形成すると、トンネル絶縁層として機能する酸化シリコン層に必要な膜厚を高い制御性で確保することができるという利点がある。

次に、酸化シリコン層26の表面に、ポリシリコン層28を形成する。ポリシリコン層28の形成方法は、特に限定されず、たとえば、CVD法である。ポリシリコン層28は、上述したポリシリコン層22と同様の方法により、n型にすることができる。ポリシリコン層28の膜厚は、たとえば50～300nmである。

次に、必要に応じて、ポリシリコン層28の上に、シリサイド層（図示せず）を形成する。シリサイド層は、たとえば、スパッタ法、CVD法により形成されることができる。

次いで、コントロールゲート28上に所定のパターンを有するレジスト層（図示せず）を形成する。その後、図4（a）に示すように、リソグラフィ技術を利用して、ポリシリコン層28を選択的にエッチングする。

（E）次いで、公知の方法により、n型不純物をシリコン基板10にドープすることにより、ソース領域14およびドレイン領域16を形成する。以上の工程によって、メモリトランジスタ100が形成される。

（F）次に、図4（b）に示すように、シリコン基板10の上に、窒化物を含む層42を形成する。窒化物を含む層42は、たとえばCVD法により形成される。CVD法の具体例としては、熱CVD法、プラズマCVD法を挙げることができる。

次に、窒化物を含む層42の上に、酸化シリコン層44を形成する。酸化シリコン層44は、たとえばCVD法により形成される。これにより、窒化物を含む層42と酸化シリコン層44とで構成される層間絶縁層40が形成される。

次に、図1に示すように、層間絶縁層40の所定領域を選択的にエッチング除去し、ドレイン領域16などに到達するコンタクトホール42を形成する。次いで、コンタクトホール42内に、導電材（たとえばタンゲステン）を充填し、コンタクト層32を形成する。

2025 RELEASE UNDER E.O. 14176

次に、層間絶縁層40の上に、例えばスパッタ法を用いてアルミニウムなどからなる導電層を堆積し、この導電層をパターニングすることにより、配線層30を形成する。

第1の実施の形態は、次の変形が可能である。

(1) 窒化物を含む層42は、図5に示すように、層間絶縁層40の中間層として設けられてもよい。具体的には、層間絶縁層40は、酸化シリコン層44a、窒化物を含む層42および酸化シリコン層44bが順次積層されて構成されてもよい。

(2) 窒化物を含む層42は、図6に示すように、薄い酸化シリコン層48を介して、コントロールゲート28およびトンネル絶縁層26の上に形成されることが好ましい。酸化シリコン層48を形成することにより、窒化物を含む層42と下地との密着性が向上し、また、窒化物を含む層42のダメージを低減することができる。

ここで、酸化シリコン層48を10～80nmと薄く形成することで、コンタクトホール46を形成するエッチング工程を、図5に示す変形例(1)に比べて少なくすることができる。変形例(1)の場合、図5に示すように、酸化シリコン層44aの膜厚が大きいため、コンタクトホール46を形成するためには、層間絶縁層40のうち、酸化シリコン層44b、窒化物を含む層42、および酸化シリコン層44aのそれぞれの層に対して各々エッチング工程が必要である。これに対して、図6に示す変形例(2)は、酸化シリコン層48が10～80nmと薄いため、窒化物を含む層42のエッチング工程において、オーバーエッチングにより酸化シリコン層48をエッチングすることができる。したがって、コンタクトホール46を形成するためのエッチング工程を、変形例(1)に比べて少なくすることができる。

さらに、酸化シリコン層48を30～70nmとすることで、メモリ特性を向上させることができる。詳細な説明は後述の実験例2で述べる。

また、酸化シリコン層48は、TEOSを用いた減圧CVD法により形成した膜を用いることが好ましい。詳細な説明は後述の実験例3で述べる。

2025年6月30日まで保護

(3) 窒化物を含む層42は、図7に示すように、層間絶縁層40の最上層として設けられてもよい。具体的には、層間絶縁層40は、酸化シリコン層44おいてもよい。この場合、層間絶縁層40は、酸化シリコン層44を全面に堆積した後、酸化シリコン層44を化学的機械的研磨法により平坦化した後、窒化物を含む層42を堆積して形成されることができる。

(第2の実施の形態)

以下、第2の実施の形態に係る半導体装置を説明する。図8は、第2の実施の形態に係る半導体装置を模式的に示す断面図である。

第2の実施の形態に係る不揮発性メモリトランジスタ（以下「メモリトランジスタ」という）200は、スタックド型である。具体的には、メモリトランジスタ200は、ゲート絶縁層120と、ソース領域114と、ドレイン領域116タ200は、ゲート絶縁層120の上には、フローティングゲート122、中間とを有する。ゲート絶縁層120の上には、フローティングゲート122が順次積層されている。フローティングゲート122、中間絶縁層124およびコントロールゲート126の側壁には、サイドウォール130が形成されている。

シリコン基板110の上には、層間絶縁層140が形成されている。層間絶縁層140の最下層において、窒化物を含む層142が形成されている。窒化物を含む層142の構成は、第1の実施の形態と同様の構成をとることができる。窒化物を含む層142の上には、酸化シリコン層144が形成されている。すなわち、層間絶縁層140は、窒化物を含む層142と、酸化シリコン層144とで構成されている。

この層間絶縁層140には、たとえば、ドレイン領域16に到達するコンタクトホール146が形成されている。コンタクトホール146内には、コンタクト層132が形成されている。コンタクト層132は、たとえばタンクステンプラグからなる。さらに、コンタクト層132および層間絶縁層140の上には所定パターンの配線層130が形成されている。

以下、本実施の形態に係る半導体装置の作用効果を説明する。

20070606-000328

本実施の形態においては、層間絶縁層140は、窒化物を含む層142を含む。このため、層間絶縁層140を形成した後における、種々の工程において発生するプロセス・インデュースド・チャージから、メモリトランジスタ200を保護することができる。また、メモリトランジスタの絶縁層（ゲート絶縁層、中間絶縁層）を劣化する水素などの分子やイオンから、メモリトランジスタの絶縁層を保護することができる。その結果、メモリトランジスタ200の書換え可能回数の特性を向上させることができる。

以下、第2の実施の形態に係る半導体装置の製造方法について説明する。図9および図10は、第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

(1) 図9 (a) に示すように、半導体基板110の上に、酸化シリコン層（ゲート絶縁層）120を形成する。酸化シリコン層120は、たとえば熱酸化法により形成することができる。酸化シリコン層120の厚さは、特に限定されないが、ゲート耐圧、データ保持特性を考慮して規定され、たとえば6～14nmである。

次に、酸化シリコン層120の上に、フローティングゲートのためのポリシリコン層122を形成する。ポリシリコン層122は、たとえばCVD法により形成することができる。ポリシリコン層122の厚さは、たとえば10～20nmである。

次に、ポリシリコン層122の上に、中間絶縁層124を形成する。中間絶縁層124は、たとえば、酸化シリコン層、または、ONO膜から構成されることができる。中間絶縁層124は、たとえばCVD法により形成される。中間絶縁層124の厚さは、たとえば20～30nmである。

次に、中間絶縁層124の上に、コントロールゲートのためのポリシリコン層126を形成する。ポリシリコン層126は、たとえばCVD法により形成することができる。ポリシリコン層126の厚さは、たとえば20～40nmである。

次に、ポリシリコン層126の上に、所定のパターンを有するレジスト層R2を形成する。その後、図9 (b) に示すように、レジスト層R2をマスクとして、

20072659.0202

ポリシリコン層126、中間絶縁層124およびポリシリコン層122を選択的にエッチングする。その後、レジスト層R2を除去する。

次に、図10(a)に示すように、ポリシリコン層(コントロールゲート)126、中間絶縁層124およびポリシリコン層(フローティングゲート)122の側壁において、サイドウォール130を形成する。サイドウォール130は、たとえば次のようにして形成することができる。CVD法などによって、シリコン酸化膜(図示せず)を全面に形成する。次いで、反応性イオンエッチングなどによって、シリコン酸化膜を異方性エッチングすることにより、サイドウォール130を形成することができる。また、シリコン酸化膜のエッチングの後、シリコン基板110の上の酸化シリコン層120もエッチングする。

次に、シリコン基板110内に、不純物をイオン注入し、ソース/ドレイン領域114, 116を形成する。

次に、図10(b)に示すように、全面に、窒化物を含む層142を形成する。窒化物を含む層142は、第1の実施の形態と同様にして形成することができる。

次に、窒化物を含む層142の上に、酸化シリコン層144を形成する。こうして、窒化物を含む層142と、酸化シリコン層144とで構成される層間絶縁層140が形成される。次に、必要に応じて、たとえば化学的機械的研磨法により、層間絶縁層140を平坦化する。

次に、図8に示すように、リソグラフィ技術を利用して、層間絶縁層140を選択的にエッチングし、スルーホール146を形成する。次に、スルーホール146内に、導電材を充填し、コンタクト層132を形成する。次に、層間絶縁層140の上に、コンタクト層132に電気的に接続された配線層130を形成する。

第2の実施の形態は、次の変形が可能である。

(1) 窒化物を含む層142は、図11に示すように、層間絶縁層140の中間層として設けられてもよい。具体的には、層間絶縁層140は、酸化シリコン層144a、窒化物を含む層142および酸化シリコン層144bが順次積層されて構成されていてもよい。

(2) 窒化物を含む層142は、図12に示すように、薄い酸化シリコン層148を介して、下地の上に形成されることが好ましい。酸化シリコン層148を形成することにより、窒化物を含む層142と下地との密着性が向上し、また、窒化物を含む層142のダメージを低減することができる。酸化シリコン層148の厚さは、たとえば10~30nmである。

そして、酸化シリコン層148を10~30nmと薄く形成すると、第1の実施の形態の変形例(2)と同様の効果を得ることができる。

(3) 窒化物を含む層142は、図13に示すように、層間絶縁層140の最上層として設けられてもよい。具体的には、層間絶縁層140は、酸化シリコン層144および窒化物を含む層142が順次積層されて構成されていてもよい。この場合、層間絶縁層140は、酸化シリコン層144を全面に堆積した後、酸化シリコン層144をCMP法により平坦化した後、窒化物を含む層142を堆積して形成されることができる。

[実験例1]

層間絶縁層の最下層に窒化シリコン層を形成した場合(実施例)と、窒化シリコン層を形成しない場合(比較例)とで、メモリの特性がどのように異なるか調べた。調べたメモリの特性は、FTV(Forward Tunnel Voltage)、FTUR(Forward Trap Up Rate)および書換え可能回数(Endurance)の3つの特性である。なお、実施例および比較例のメモリセルにおける不揮発性メモリトランジスタは、スプリットゲート型とした。また、実施例のメモリセルにおける不揮発性メモリトランジスタと、比較例のメモリセルにおける不揮発性メモリトランジスタとは、同一の条件で形成された。実施例における層間絶縁層は、窒化シリコン層と酸化シリコン層とが順次積層されて構成された。実施例における窒化シリコン層の厚さは、50nmであった。窒化シリコン層は、CVD法により形成された。比較例における層間絶縁層は、酸化シリコン層のみから構成された。

図14は、FTVと、累積サンプル率(Cumulative Percent)との関係を示すグラフである。FTVとは、フローティングゲートとコントロールゲートとの間にある基準電流を流すのに必要な電圧のうち、基準電流を流し始めた直後:T₁(s)後の電圧をいう。なお、本実験例では、基準電流を10nA、T₁=0.

1 sとした。また、実施例および比較例とともに、メモリチップのサンプル数を25個とした。

また、累積サンプル率とは、全サンプルの確率プロットである。例えば、図14において、累積サンプル率50%、FTV 7.0 Vの点に比較例の1プロットがあるが、これは比較例の全サンプル数25個のうち50%は、FTVが7.0 V以下であると読むことができる。

図14から、実施例のFTVの値は、比較例のFTVの値より低いことがわかる。FTVの値が低いほど、消去効率がいい。したがって、実施例の場合には、比較例の場合に比べて、消去効率に関して優れているのがわかる。

また、実施例の場合、FTVのばらつき度合いが、比較例の場合に比べて低い。つまり、実施例のグラフの傾きは、比較例のグラフの傾きより大きい。FTVのばらつき度合いが低いほど、特性安定性がよい。つまり、グラフの傾きが大きいほど、特性安定性がよい。したがって、実施例の場合には、比較例の場合に比べて、特性安定性がいい。

図15は、FTURと、累積サンプル率との関係を示すグラフである。なお、実施例および比較例とともに、メモリチップのサンプル数を25個とした。ここで、FTURとは、フローティングゲートとコントロールゲートとの間に、ある基準電流を一定時間流したときの電位変動割合をいう。具体的には、基準電流を流し始めた直後: T_1 (s) の電圧、すなわちFTVを V_1 (V)、基準電流を流し始めたから一定時間 T_2 (s) 後の電圧を V_2 (V) とすると、FTURは下記の式で表される。

$$FTUR = (V_2 - V_1) / (\log_{10} T_2 - \log_{10} T_1) \cdots (1)$$

なお、本実験例では、基準電流を10 nA、 $T_1 = 0.1$ s、 $T_2 = 5.0$ sとした。また、実施例および比較例とともに、メモリチップのサンプル数を25個とした。

図15から、実施例のFTURの値は、比較例のFTURの値より低い。FTURの値が低いということは、その分だけ、トンネル絶縁層に電子がトラップされ難いということを示す。したがって、実施例の場合には、比較例の場合に比べて、トンネル絶縁層に電子がトラップされ難いといえる。

また、実施例のFTURは、比較例の場合に比べて、ばらつき度合いが低い。つまり、実施例のグラフの傾きは、比較例のグラフの傾きより大きい。FTURのばらつき度合いが低いほど、特性安定性がよい。つまり、グラフの傾きが大きいほど、特性安定性がよい。したがって、実施例の場合には、比較例の場合に比べて、特性安定性において優れているといえる。なお、図15のFTURの単位を「V/decade」とした。

図16は、書換え可能回数(Endurance)と、累積サンプル率との関係を示すグラフである。ここで、書換え可能回数とは、セル電流値が初期値に対して50%となるまでの書換え回数をいう。なお、実施例および比較例ともに、メモリチップのサンプル数を10個とした。

図16から、実施例の場合には、比較例の場合に比べて、同一の累積サンプル率において、書換え可能回数が向上していることがわかる。

[実験例2]

ここでは、図6に示される実施の形態において、酸化シリコン層48の膜厚とメモリ特性との関係について調べた。本実験例においては、この酸化シリコン膜を、TEOSを用いた減圧CVD法によって形成している。

図17は、層間絶縁層の最下層に形成された酸化シリコン層の膜厚によって、FTURおよびWL-Vthがどのように変化するかを示すグラフである。WL-Vthとは、図6に示すメモリトランジスタ100において、データ消去後のコントロールゲート28の閾値電圧を表し、Delta WL-Vthとは、その閾値電圧の酸化シリコン層48を設けずに直接窒化物を含むシリコン層42を設けた場合に対する各構造物を含むシリコン層42を設けた場合を基準(1.0)として、各測定値を規格化しその値をグラフにプロットしてある。

図17において、Delta WL-Vthは、酸化シリコン膜が30nm以上になると急激に下がる。よって、コントロールゲートの閾値電圧の変化量を抑えてメモリ特性を安定させるには、酸化シリコン膜の膜厚を30nm以上にさせることが好

2002/6/26 9:58:20

ましい。一方、FTUR に着目すると、膜厚が 70 nm 以下でその値が 1.2 以下となっている。この比較値 1.2 は、絶対値に換算すると 0.6 (V/decade) となるが、0.6 以下でメモリとして求められる書換え可能回数を確保することができる。このことから、膜厚を 70 nm 以下とすることで必要な書換え可能回数を確保することができる。

このように、酸化シリコン膜の膜厚を 30 ~ 70 nm にすることで、書換え可能回数上必要な特性を確保するとともに、コントロールゲートの閾値電圧の変化量を抑えてメモリ特性を安定化させることができる。

[実験例 3]

ここでは、図 6 に示される実施の形態において、酸化シリコン層 48 として、TEOS を用いた減圧 CVD 法によって形成された酸化シリコン層（以下、LP-TEOS 層という。）を用いた場合の Delta WL-Vth と、TEOS を用いたプラズマ CVD 法によって形成された酸化シリコン層（以下、P-TEOS 層という。）を用いた場合によって形成された酸化シリコン層（以下、P-TEOS 層という。）を用いた場合の Delta WL-Vth とを比較した。なお、LP-TEOS 層、P-TEOS 層のいずれも膜厚は 50 nm とし、その他の構造が同一のものを実験例として採用した。結果は次式の通りである。

$$(LP-TEOS \text{ 層を採用した Delta WL-Vth}) / (P-TEOS \text{ 層を採用した Delta WL-Vth}) = 0.686$$

このことから酸化シリコン層 48 として LP-TEOS 層を用いると、P-TEOS 層を用いる場合に比べても、コントロールゲートの閾値電圧の変化量を約 30 % も抑えることができることから、より安定したメモリ特性を得ることができる。

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

例えば、本発明の構成を備える層間絶縁層が、不揮発性メモリトランジスタが形成されるメモリ領域にとどまらず、ロジック回路などを形成する周辺回路領域まで形成されていても良い。また、メモリトランジスタとして MOS トランジスタを用いたものであっても良い。

請求の範囲

1. 不揮発性メモリトランジスタを有する、半導体装置であつて、
前記不揮発性メモリトランジスタが形成された半導体層の上に、層間絶縁層が
設けられ、
前記層間絶縁層は、前記不揮発性メモリトランジスタと、前記半導体層の上方
に形成された導電層とを電気的に分離するための絶縁層であり、
前記層間絶縁層は、窒化物を含む層を含む、半導体装置。
2. 請求項1において、
前記窒化物を含む層は、前記層間絶縁層の最下層として設けられている、半導
体装置。
3. 請求項1において、
前記窒化物を含む層は、前記層間絶縁層の最上層として設けられている、半導
体装置。
4. 請求項1において、
前記窒化物を含む層は、前記層間絶縁層の中間層として設けられている、半導
体装置。
5. 請求項1において、
前記窒化物は、窒化シリコンおよび酸化窒化シリコンの少なくとも一方である、
半導体装置。
6. 請求項1において、
前記不揮発性メモリトランジスタは、前記半導体層上に、ゲート絶縁層を介し
て配置されたフローティングゲートと、
前記フローティングゲートの少なくとも一部と接触する、トンネル絶縁層と、
前記トンネル絶縁層の上に形成されたコントロールゲートと、
前記半導体層内に形成された、ソース領域およびドレイン領域とを含む、半導
体装置。
7. 請求項1において、
前記不揮発性メモリトランジスタは、前記半導体層の上に、ゲート絶縁層を介
して配置されたフローティングゲートと、

前記フローティングゲートの上に、中間絶縁層を介して配置されたコントローラゲートと、

前記半導体層内に形成された、ソース領域およびドレイン領域とを含む、半導体装置。

8. 半導体層に形成された不揮発性メモリトランジスタを有する半導体装置であって、

前記半導体層および前記不揮発性メモリトランジスタの上に設けられた層間絶縁層を有し、

前記層間絶縁層は、前記層間絶縁層の最下層として設けられた酸化膜と、前記酸化膜上に設けられた窒化物を含む層と、を含むことを特徴とする半導体装置。

9. 請求項 8 において、

前記酸化膜の厚さは、10～80 nmである、半導体装置。

10. 請求項 8 において、

前記酸化膜の厚さは、30～70 nmである、半導体装置。

11. 請求項 8 において、

前記酸化膜は、TEOSを用いた減圧CVD法によって形成された酸化膜である、半導体装置。

12. 以下の工程を有する、半導体装置の製造方法。

(a) 半導体層において、不揮発性メモリトランジスタを形成する工程、

(b) 前記不揮発性メモリトランジスタが形成された半導体層の上に、層間絶縁層を形成する工程であって、

前記層間絶縁層は、前記半導体層の上方に形成される配線層と、該不揮発性メモリトランジスタとを電気的に分離するための絶縁層であり、

前記層間絶縁層は、窒化物を含む層を含む、半導体装置の製造方法。

13. 請求項 12 において、

前記窒化物を含む層は、前記層間絶縁層の最下層として設けられている、半導体装置の製造方法。

14. 請求項 12 において、

2002年5月22日 02:27:02

前記窒化物を含む層は、前記層間絶縁層の最上層として設けられている、半導体装置の製造方法。

15. 請求項12において、

前記窒化物を含む層は、前記層間絶縁層の中間層として設けられている、半導体装置の製造方法。

16. 請求項12において、

前記窒化物は、窒化シリコンおよび酸化窒化シリコンの少なくとも一方である、半導体装置の製造方法。

17. 請求項12において、

前記不揮発性メモリトランジスタは、前記半導体層上に、ゲート絶縁層を介して配置されたフローティングゲートと、

前記フローティングゲートの少なくとも一部と接触する、トンネル絶縁層と、前記トンネル絶縁層の上に形成されたコントロールゲートと、

前記半導体層内に形成された、ソース領域およびドレイン領域とを含む、半導体装置の製造方法。

18. 請求項12において、

前記不揮発性メモリトランジスタは、前記半導体層の上に、ゲート絶縁層を介して配置されたフローティングゲートと、

前記フローティングゲートの上に、中間絶縁層を介して配置されたコントロールゲートと、

前記半導体層内に形成された、ソース領域およびドレイン領域とを含む、半導体装置の製造方法。

2025年6月26日 2025年6月26日

要 約 書

半導体装置は、不揮発性メモリトランジスタ100を有する。不揮発性メモリトランジスタ100が形成された半導体層10の上に、層間絶縁層40が設けられている。層間絶縁層40は、不揮発性メモリトランジスタと、半導体層10の上方に形成された導電層30とを電気的に分離するための絶縁層であり、窒化物を含む層42を含む。

2007/06/09 09:20